

PAT-NO: JP363117450A
DOCUMENT-IDENTIFIER: JP 63117450 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: May 21, 1988

INVENTOR-INFORMATION:
NAME
OKUAKI, YUTAKA

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP61264483
APPL-DATE: November 6, 1986

INT-CL (IPC): H01L021/92
US-CL-CURRENT: 228/180.22, 257/E21.511

ABSTRACT:

PURPOSE: To obtain a bump connection of high reliability by a method wherein, after a flat surface of a pressure material supported at a prescribed height from a semiconductor wafer has been brought into contact with bump electrodes in a pressurized state, a secure connection is executed by the bump electrodes while the bump electrodes are heated and melted with a view to achieving the prescribed bonding strength uniformly.

CONSTITUTION: A water 12, where two or more bump electrodes 11 are formed and a flux- coated film is formed, is put on a

bump-correcting jig 13 and a holding plate 13-1. The height of a frame material 13-2 is the same as that of the top of the previously formed bump electrodes 11. A pressure plate 13-3 with the prescribed weight is mounted on the bump electrodes 11 of the wafer 12. The plate does not touch the bump electrodes 11 whose height is low due to the irregularity of the height of the bump electrodes 11. The bump-correcting jig 13 where the wafer 12 is accommodated is put in a thermostatic heating furnace of the like and is heated. The surface of the bump electrodes whose height is higher is melted by heating, and the pressure plate 13-3 is brought into contact with the frame material 13-2. As a result, all the bump electrodes 11-1~11-6 are brought into contact with the pressure plate 13-3, and their height becomes the same as the height of the installed frame material 13-2. The wafer 12 is cut into unit semiconductor devices to form individual semiconductor chips.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-117450

⑤ Int.Cl.⁴

H 01 L 21/92

識別記号

庁内整理番号

F-6708-5F

⑬ 公開 昭和63年(1988)5月21日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-264483

⑰ 出 願 昭61(1986)11月6日

⑱ 発 明 者 奥 秋 裕 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 柿本 恭成

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体ウエハに形成された複数の半導体素子上に複数のバンパ電極を形成し、それら各半導体素子を切断分離後、所定の処理を施して複数の半導体装置を製造する半導体装置の製造方法において、

前記半導体ウエハ上の複数のバンパ電極と接触する平坦面を有する押え部材と、前記半導体ウエハが載置されその半導体ウエハから所定の高さに前記押え部材を支持する支持部材とを備えたバンパ矯正治具を用い、前記支持部材に前記半導体ウエハを載置し、その半導体ウエハのバンパ電極上に前記押え部材の平坦面を加圧状態で当接させた後、前記バンパ電極を加熱熔融すること特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、バンパ電極を有する半導体装置の製造方法、特にその製造工程におけるバンパ電極の高さの矯正方法に関するものである。

(従来の技術)

従来、このような分野の技術としては、第2図～第5図に示されるような製造方法があった。この種の半導体装置の製造方法は、一般にフィルムキャリア(TAB:Tape Automated Bonding)方式と称されるもので、ワイヤボンディングに代る新しい実装技術の一手法である。以下、その製造方法を図を用いて説明する。

第2図は従来の半導体ウエハの一構成例を示す平面図、第3図は第2図のウエハに形成された半導体素子の拡大平面図、第4図は第3図のA-A線断面図、及び第5図は半導体素子とテープキャリアのインナリードとの従来の接続方法を断面図で示したボンディング状態図である。

第2図において、先ずウエハ処理工程により、

ウエハ1の表面は分離帯2により格子状に区切られ、その各々に同一パターンを有する半導体素子3が形成される。次いで、この半導体素子3の表面には、通常はんだまたは錫等から成る複数のバンパ電極4が形成される。これらのバンパ電極4は、第3図及び第4図に示す如く、半導体素子3の表面周辺部に設けられた外部接続用端子部5の上に形成され、その形状はほぼ球体を成している。バンパ電極4形成後、ウエハ1は分離帯2に沿って切断され、それぞれの半導体素子3は個々の半導体チップとなる。

一方、例えば映画用のフィルムと同様の幅及び送り孔を有し、中央部付近に半導体素子搭載用の開口部を有する絶縁性のフィルムテープを使用して、テープキャリアの製造が行なわれる。このテープキャリアは、前記フィルムテープ上に銅箔を貼り、予め設定された所定のパターンにエッチング加工することにより、例えば厚さ $35\mu\text{m}$ 程度の銅箔リードが形成されるものである。この銅箔リードは前記半導体素子搭載用の開口部に突出する

インナリード部を有しており、インナリード部の表面にははんだまたは錫等の例えば厚さ $0.4\mu\text{m}$ 程度のめっきが施されている。

上記のように形成された、半導体チップ及びテープキャリアは、第5図に示すようにボンディング装置によって接続される。先ず、ボンディング装置のボンディングステージ6上に半導体チップ7を載置し、そのバンパ電極4-1、4-2とテープキャリアのインナリード部8との位置合わせを行なう。次いで、ボンディング治具9を降下させて、バンパ電極4-1、4-2とインナリード部8との接続部を加圧すると同時に、例えば図中矢印Bで示される方向にパルス電流を流して加熱する。この加熱によりバンパ電極4-1、4-2の表面付近は熔融すると共に加圧されているので、前記接続部は圧着される。このようにして、インナリード部8に接続されてテープキャリアに搭載された半導体チップ7は、その後の工程において実装基板等に装着され半導体装置が完成する。

(発明が解決しようとする問題点)

しかしながら、上記の半導体装置の製造方法においては、半導体チップ7上に形成されたバンパ電極4-1、4-2の高さにばらつきがあるために、バンパ電極4-1、4-2とインナリード部8との接続が均等になれないという問題があった。即ち、バンパ電極4-1、4-2とインナリード部8との接続部の加熱圧着時において、ボンディング治具9は前記接続部に一定の荷重を加え、この荷重とバンパ電極4-1、4-2の抗力とが釣り合う高さで熔融圧着を行なう。それ故、第5図のバンパ電極4-1、4-2に示すように、その高さにばらつきがある場合には、低い方のバンパ電極4-2には十分な荷重が加わらず、加熱も弱いために、確実な熔融圧着による接続がなされないという問題が、たびたび発生していた。

前記高さの低いバンパ電極4-2に対しても十分な熔融圧着を行なうために、ボンディング治具9による荷重を増大させたり、加熱温度を高めたり、または加熱時間を長くする等の対策も考えられる。しかし、ボンディング治具9による加圧は急激に

行なわれるので、その荷重を増大させた場合には、高いバンパ電極4-1に集中した荷重はこれを経て半導体チップ7に伝わり、半導体素子の特性を劣化させるおそれが生じる。また、加熱温度を高めたり、或は加熱時間を長くした場合には、その熱によりインナリード部8に薄く施されためっきが剥がれてしまう等のおそれがあった。

本発明は、前記従来技術がもっていた問題点として、バンパ電極4-1、4-2の高さにばらつきがあるために、バンパ電極4-1、4-2とインナリード部8との信頼性の高い接続を得難い点について解決した半導体装置の製造方法を提供するものである。

(問題点を解決するための手段)

本発明は、前記問題点を解決するために、半導体ウエハに形成された複数の半導体素子上に複数のバンパ電極を形成し、それら各半導体素子を切断分離後、所定の処理を施して複数の半導体装置を製造する半導体装置の製造方法において、前記半導体ウエハ上の複数のバンパ電極と接触する平

坦面を有する押え部材と、前記半導体ウエハが載置されその半導体ウエハから所定の高さに前記押え部材を支持する支持部材とを備えたバンパ矯正治具を用い、前記支持部材に前記半導体ウエハを載置し、その半導体ウエハのバンパ電極上に前記押え部材の平坦面を加圧状態で当接された後、前記バンパ電極を加熱溶融する工程を施すようにしたものである。

(作 用)

本発明によれば、以上のような半導体装置の製造方法としたので、半導体ウエハ上に形成されたバンパ電極をバンパ矯正治具を用いて加圧、加熱する工程は、バンパ矯正治具の押え部材が所定高さ以上のバンパ電極を一定荷重で緩やかに加圧すると共に、加熱による溶融によりその高さを低く矯正し、総てのバンパ電極をほぼ支持部材の高さと同じの所定の高さにそろえる働きをする。また、押え部材を所定の高さに支持する支持部材は、必要以上の荷重がバンパ電極に作用して半導体素子の特性に及ぼす悪影響を防止する働きをする。し

前記フラックス塗膜が形成されたウエハ12をバンパ矯正治具13に載置する。このバンパ矯正治具13は本発明に係わるもので、底部平面を形成する保持板13-1と、この保持板13-1表面上の周囲に固定された枠部材13-2とによって構成される支持部材と、枠部材13-2上に載せられる押え板13-3から成る押え部材とを有している。前記保持板13-1はその上に置かれるウエハ12を水平に保持し、枠部材13-2は設計段階で予め設定されたバンパ電極11の頂部高さと同一の高さを有し、押え板13-3は保持板13-1上に置かれたウエハ12のバンパ電極11をその上方から押し付けるための平面と所定の重量を有するものである。前記押え板13-3は、バンパ電極11に塗布されたフラックスに侵されないように、例えば化学的に安定な耐熱性を有するセラミックやステンレス等の材質から成り、保持板13-1と枠部材13-2は、押え板13-3と同一の材質が若しくは加工が容易な耐熱性を有する他の金属等から成るものである。

上記のように構成されるバンパ矯正治具13の保

たがって、前記問題点を除去できるのである。

(実施例)

第1図(A)～(C)は、本発明の実施例を示す半導体装置の製造工程図である。以下、各図の製造工程を説明する。

(1) 第1図(A)の第1工程

先ず、従来の製造方法により、複数の半導体素子が形成された半導体ウエハ12を製造し、その半導体素子表面にはんだまたは錫等から成る、例えば高さが100 μ m程度の球状を有する複数のバンパ電極11を形成する。この複数のバンパ電極11の一部を、図においてはバンパ電極11-1～11-6で示す。前記ウエハ12の表面にバンパ電極11の酸化を防止するために、例えばホワイトロジン系フラックスまたは水溶性有機フラックス等を塗布してフラックス塗膜を形成する。このフラックス塗膜の形成は、スピナーを使用して回転するウエハ12上にフラックスを滴下し、その円心力による拡がりを利用した塗布方法によることもできる。

(2) 第1図(B)の第2工程

基板13-1上に載置されたウエハ12のバンパ電極11上に、所定の重量を有する押え板13-3を搭載する。バンパ電極11がすべて一様な高さであれば、押え板13-3はすべてのバンパ電極11に接するが、実際にはバンパ電極11の高さにばらつきがあるために、高さの低いバンパ電極11には接触しない。例えば図においては、押え板13-3はバンパ電極11-1、11-4、11-5に支持されており、バンパ電極11-2、11-3、11-6には接触しておらず、また枠部材13-2にも接していない。

(3) 第1図(C)の第3工程

前記ウエハ12を収容したバンパ矯正治具13を恒温槽や加熱炉等に入れ、例えば温度260～350℃程度に加熱する。このとき、バンパ電極11-1、11-4、11-5は押え板13-3の自重により加圧されているので、加熱によるその表面の溶融に伴い次第に下方に圧縮され、遂には押え板13-3が枠部材13-2に接するに到る。この状態においては、総てのバンパ電極11-1～11-6は押え板13-3に接し、設定された枠部材13-2の高さと同一高さとなる。上

記過程においては、加熱炉内等で緩やかな加圧、加熱が行なわれ、最終的に押え板13-3は枠部材13-2に支えられるので、必要以上の荷重がパンプ電極11-1～11-6に作用して半導体素子に悪影響を及ぼすことはない。

前記状態に達した後に、加熱を停止して冷却するが、常温に冷却されるまでは、押え板13-3は搭載したままとする。ウエハ12が常温に達した後に、ウエハ12を例えば湯洗や有機溶剤により洗浄し、表面のフラックスを除去する。

このようにして、パンプ電極11の高さが一様高さに矯正されたウエハ12は、半導体素子単位に切断され、個々の半導体チップとされる。その後は従来と同様に、例えばボンディング装置等により半導体チップのパンプ電極11は、テープキャリアのインナリード部等と接続され、さらに実装基板等に装着されて半導体装置が完成する。

第6図は、ボンディング装置による前記半導体チップとテープキャリアとの接続状態を断面図で示したボンディング状態図である。

したが、これに限定されず一体構造とすることも可能である。また、枠部材13-2は押え板13-3に設けてもよい。さらに、保持板13-1を特に使用せず、これに代えて水平面を有する他のものを使用することもできる。

③ パンプ矯正治具13の押え板13-3は、自重によりパンプ電極11を加圧するものとしたが、自重のみならずこれに他の重量物を加えて荷重の調整を行なってもよい。

④ パンプ電極11の酸化防止用にフラックスを使用することとしたが、これに限定されず、例えば空気に触れない非酸化雰囲気中でパンプ電極11の矯正を行なうこともできる。

⑤ パンプ電極11をパンプ矯正治具13に収容し、パンプ矯正治具13全体を加熱するものとしたが、これに代えて押え板13-3のみを加熱し、その熱をパンプ電極11に伝える方法としてもよい。

(発明の効果)

以上詳細に説明したように、本発明によれば半導体素子のパンプ電極の高さを矯正する半導体装

ボンディング装置のボンディングステージ21上に搭載された半導体チップ22は、一様な高さに矯正されたパンプ電極23を有している。それ故、パンプ電極23とテープキャリアのインナリード部24との接続部は、ボンディング治具25によって均等に加熱圧着されるので、その接続強度が一定水準以上に保持され、信頼性に優れたものを得ることができる。

なお、本発明は図示の実施例に限定されず、種々の変形が可能であり、例えば次のような変形例が挙げられる。

① 本実施例においては、半導体チップ22のパンプ電極23は、TAB方式によるテープキャリアのインナリード部24と接続されるものとしたが、これに限定されない。例えばCCB(Controlled Collapse Bonding)方式等のように、パンプ電極23を直接実装基板に接続する場合に対しても適用することができる。したがって、パンプ電極11、23の材質もはんだ、錫等に限定されない。

② パンプ矯正治具13は粗組構造より成るものと

置の製造方法としたので、パンプ電極による確実な接続がなされ、一様に所定の接続強度を有することにより、信頼性の高いパンプ接続が得られるという効果がある。また、パンプ電極の高さを矯正する過程において、過大な圧力がパンプ電極に作用することはないので、半導体素子の特性を損なうこともない。

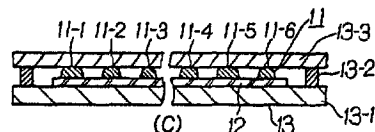
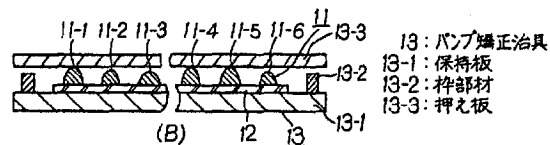
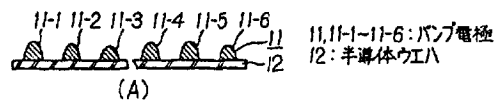
4. 図面の簡単な説明

第1図(A)～(C)は本発明の実施例を示す半導体装置の製造工程図、第2図は従来の半導体ウエハの平面図、第3図は第2図の半導体ウエハに形成された半導体素子の拡大平面図、第4図は第3図のA-A線断面図、第5図は従来のパンプ接続を示すボンディング状態図、第6図は本発明の実施例の製造方法によるパンプ接続を示すボンディング状態図である。

11、11-1～11-6、23……パンプ電極、12……半導体ウエハ、13……パンプ矯正治具、13-1……保持板、13-2……枠部材、13-3……押え板、21……

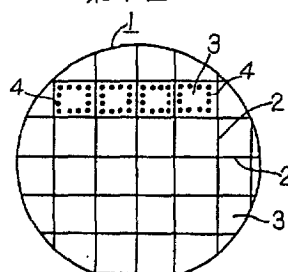
ボンディングステージ、22……半導体チップ、24
……インナリード部、25……ボンディング治具。

出願人代理人 柿 本 恭 成



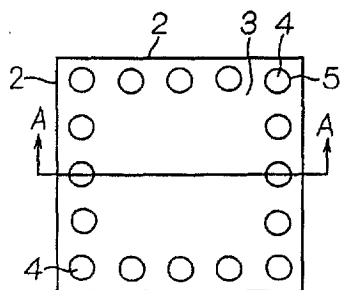
本発明の半導体装置製造工程図

第1図



従来の半導体ウエハ平面図

第2図



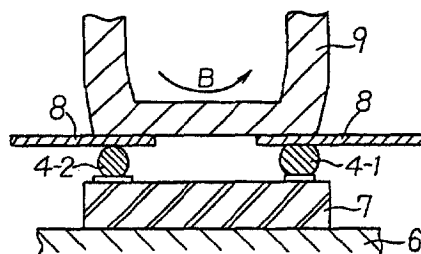
従来の半導体素子平面図

第3図



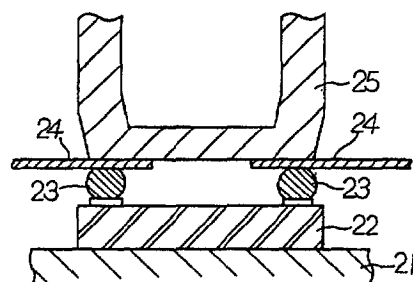
第3図のA-A線断面図

第4図



従来のボンディング状態図

第5図



本発明のボンディング状態図

第6図

22: 半導体チップ
23: バンプ電極
24: インナリード部
25: ボンディング治具